

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05268081 A

(43) Date of publication of application: 15.10.93

(51) Int. Cl

H03L 7/197

H03L 7/08

// H04N 5/93

(21) Application number: 04095830

(22) Date of filing: 23.03.92

(71) Applicant: SONY CORP

(72) Inventor: KIDO KATSUHIRO

(54) CLOCK GENERATION CIRCUIT

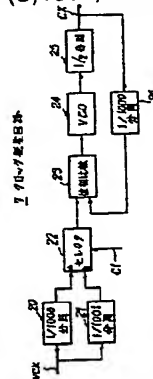
(57) Abstract:

PURPOSE: To generate a clock signal with the frequency shifted by -0.1% by controlling VCO with the use of the phase difference between an input clock signal or input clock signal with the 1000/1001 and VCO oscillated clock signal.

CONSTITUTION: A word frequency-divided clock WCK from a word PLL circuit is taken as X (384FS) and a master clock from a 1/2 frequency divider 25 as Y (384FS). When a selector 22 selects 1/1000 frequency divider 20 by means of a control signal C1, formula I is established and the master clock CK synchronized with the clock WCK is outputted. On the other hand, when the selector 22 selects the 1/1001 frequency divider 21, formula II is established based on the control signal C1 according to the setting of the FS shift switch. Formula III can be obtained by deforming the formula II, and the master clock CK where the relation between reference frequency 29.97Hz of NTSC color television signal and -0.1% shift are completely matched is outputted. Thus, a clock signal with the frequency shifted by 0.1% can be

generated by simply setting the FS shift switch.

COPYRIGHT: (C)1993,JPO&Japio



$$X/1000 - Y/1000 \quad \text{I}$$

$$X/1001 - Y/1000 \quad \text{II}$$

$$X, Y - 1: 1000/1001 \quad \text{III}$$

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-268081

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 3 L 7/197

7/08

// H 0 4 N 5/93

G 4227-5C

9182-5J

9182-5J

H 0 3 L 7/ 18

7/ 08

A

G

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-95830

(22)出願日 平成4年(1992)3月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 木戸 克浩

東京都品川区北品川6丁目7番35号ソニー株式会社内

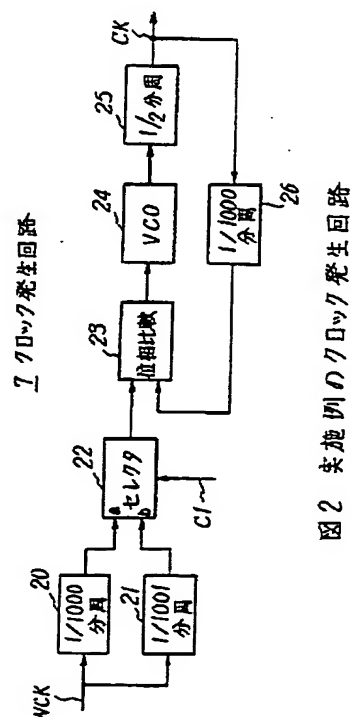
(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 クロック発生回路

(57)【要約】

【目的】本発明は、クロック発生回路において、簡易な操作で周波数を-0.1%シフトしてなるクロック信号を発生するものである。

【構成】シフト設定手段の設定に応じて、入力クロック信号又は1000/1001分周してなる入力クロック信号と、電圧制御型発振手段で発振されるクロック信号との位相差で、電圧制御型発振手段を制御するようにしたことにより、シフト設定手段の設定のみの容易な操作で、所定の出力クロック信号又は-0.1%周波数をシフトした出力クロック信号を発生し得る。



【特許請求の範囲】

【請求項1】出力クロック信号の周波数をシフトするか否かを設定するシフト設定手段と、
当該シフト設定手段の設定結果に応じて、第1の入力クロック信号又は当該第1の入力クロック信号を1000/1001分周してなる第2の入力クロック信号を選択して出力する切換え手段と、
制御電圧に応じて所定のクロック信号を出力する電圧制御型発振手段と、
上記切換え手段を通じて入力される第1又は第2の入力クロック信号及び上記発振クロック信号の位相を比較し、比較結果に応じて上記電圧制御型発振手段を制御する位相比較手段とを具え、上記シフト設定手段の設定に応じて所定の第1の出力クロック信号又は当該第1の出力クロック信号に対して周波数を-0.1%シフトした第2の出力クロック信号を発生するようにしたことを特徴とするクロック発生回路。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段（図1及び図2）

作用（図1及び図2）

実施例（図1及び図2）

発明の効果

【0002】

【産業上の利用分野】本発明はクロック発生回路に関し、例えばデジタルオーディオテープレコーダでサンプリング周波数に応じたクロック信号を発生するものに適用し得る。

【0003】

【従来の技術】従来、デジタルオーディオテープレコーダにおいては、例えばサンプリング周波数FSとして、周波数48〔KHz〕や44.1〔KHz〕でなるデジタルオーディオ信号を記録し、再生し得るようになされたものがある。この場合フェーズロックドループ（PLL）構成のクロック発生回路において、サンプリング周波数FSに応じたクロック信号を発生するようになされている。

【0004】このデジタルオーディオテープレコーダの場合、記録時にはサンプリング周波数FSの情報が磁気テープ上のコントロールトラックにコントロールワー

$$X/1000=Y/N$$

の関係が成り立つ。従つて（1）式を変形して表した次式

$$X:Y=1:N/1000$$

において、分周比Nを1000にすると可変分周器側の周波数が0%シフトし、分周比Nを875にすると-12.5%シ

*ドのサンプリング周波数情報FSIDとして記録され、再生時も記録と同じサンプリング周波数で再生されたデジタルオーディオ信号を処理し得るようになされている。

【0005】

【発明が解決しようとする課題】ところがかかる構成のデジタルオーディオテープレコーダを用いて、高品位ビデオシステム（HD（High Division Video System））中で、サンプリング周波数48〔KHz〕でなるオーディオ信号をダビングすることが考えられる。実際上高品位ビデオシステムにおけるビデオ信号の規準周波数は周波数60〔Hz〕であり、オーディオ信号のサンプリング周波数は周波数48〔KHz〕である。このためダビングの際は、デジタルオーディオテープレコーダと高品位ビデオシステムとの同期をとるために両者をビデオ信号に同期させる。

【0006】このときビデオ信号が例えばNTSCカラーテレビジョン方式であれば、フレーム周波数は29.97〔Hz〕（30〔Hz〕×1000/1001）であるため、高品位ビデオシステムのオーディオ信号のサンプリング周波数48〔KHz〕自体が、0.1%ダウンして、周波数47.95〔KHz〕（48〔KHz〕×1000/1001）に変わってしまう。このためデジタルオーディオテープレコーダ側のサンプリング周波数も高品位ビデオシステムにあわせて0.1%ダウンする必要がある。

【0007】このため上述の構成のデジタルオーディオテープレコーダにおいては、クロック発生回路におけるPLLとして、可変分周器を有するものを用い必要に応じて可変分周器の分周比を変更してサンプリング周波数FSを周波数48〔KHz〕から周波数47.95〔KHz〕に0.1%ダウンするようになされたものがある。

【0008】ところがかかる構成のクロック発生回路では、可変分周器の分周比を変更するため、リモコン形式の操作器を接続して、例えば±12.5%の範囲でマニュアル操作で可変するようになされており、サンプリング周波数FSを0.1%ダウンするのみの操作のために煩雑な作業が必要になり、実用上使い勝手が悪いものであった。

【0009】またかかる構成のクロック発生回路では、位相比較器の基準入力信号Xに対して可変分周器側の入力信号Yの周波数及び位相を一致させるよう動作するため、可変分周器の分周比をNとすると、次式

【数1】

$$X:Y=1:N/1000$$

【数2】

$$X:Y=1:N/1000$$

フトし、同様に分周比Nをそれぞれ1125、999にすると+12.5%、-0.1%シフトする。

【0010】従つてサンプリング周波数F Sが周波数48 [KHz] となるマスタークロックを0.1%シフトしてなるマスタークロックを発生するには、可変分周器にて999分周すれば良いと考えられる。ところがNTSCカラーテレビジョン方式のフレーム周波数29.97 [Hz] は30 [Hz] $\times (1000/1001)$ より得られものであり、一方サンプリング周波数F Sの0.1%ダウンは999/1000したものであるから、生成されるサンプリング周波数F Sには、厳密に言うとも周波数に1 [ppm] の差が生じるという問題があつた。

【0011】本発明は以上の点を考慮してなされたもので、簡易な操作で周波数を-0.1%シフトしてなるクロック信号を発生し得るクロック発生回路を提案しようとするものである。

【0012】

【課題を解決するための手段】かかる課題を解決するため本発明においては、出力クロック信号CKの周波数をシフトするか否かを設定するシフト設定手段9と、そのシフト設定手段9の設定結果に応じて、第1の入力クロック信号WCK又はその第1の入力クロック信号WCKを1000/1001分周してなる第2の入力クロック信号を選択して出力する切換え手段22と、制御電圧に応じて所定のクロック信号CKを出力する電圧制御型発振手段24と、切換え手段22を通じて入力される第1又は第2の入力クロック信号WCK及び発振クロック信号CKの位相を比較し、比較結果に応じて電圧制御型発振手段24を制御する位相比較手段23とを設けるようにした。

【0013】

【作用】シフト設定手段9の設定に応じて、入力クロック信号WCK又は1000/1001分周してなる入力クロック信号と、電圧制御型発振手段24で発振されるクロック信号CKとの位相差で、電圧制御型発振手段24を制御するようにしたことにより、シフト設定手段9の設定のみの簡易な操作で、所定の出力クロック信号CK又は周波数を-0.1%シフトした出力クロック信号CKを発生し得る。

【0014】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0015】図1は高品位ビデオシステムのオーディオ信号をデジタルオーディオテープレコーダ1にダビングする際の構成を示し、同期を取るため外部のビデオ信号発生器2で発生された周波数29.97 [Hz] となるNTSCカラーテレビジョン方式のビデオ信号が、デジタルオーディオテープレコーダ1のビデオPLL回路3に

【0016】ビデオPLL回路3は入力されたビデオ信号に同期したサンプリング周波数F S=48 [KHz] のワードクロックVCKを発生する。このワードクロックV

CKは、第1のセクタ4のb側を通じてワードPLL回路5に入力される。ワードPLL回路5はサンプリング周波数F Sの384倍(384F S)のワードクロックWCKを発生する。このワードクロックWCKは、第2のセクタ6のa側を通つてクロック発生回路7に入力される。

【0017】クロック発生回路7は入力されるワードクロックWCKに同期してサンプリング周波数F Sの384倍(384F S)又はこれを-0.1%シフトしてなるマスタークロックCKを発生するようになされ、これがシステムクロック発生回路8に入力される。この実施例の場合、サンプリング周波数F Sを-0.1%シフトするか否かをF Sシフトスイッチ9で設定するようになされている。

【0018】實際上F Sシフトスイッチ9の設定状態がCPUインターフェース(I/F)10を通じてシステム制御回路11に取り込まれ、この結果システム制御回路10が、制御信号C1によつてクロック発生回路7を制御する。またシステムクロック発生回路8は入力されるマスタークロックCKを384分周して、周波数48 [KHz] 又は47.952 [KHz] のシステムクロックSCKを発生する。

【0019】なお第1及び第2のセクタ4及び6は、CPUインターフェース(I/F)10を通じて入力されるシステム制御回路11からの制御信号によつて切り換え制御されるようになされている。實際上第1のセクタ4でa側が選択されると、ビデオ信号に同期した周波数F S=48 [KHz] のワードクロックVCKに代えて、内部発振回路12で発振したワードクロックICKが

【0020】ここでビデオ信号発振器2から送出される周波数29.97 [Hz] となるNTSCカラーテレビジョン方式のビデオ信号は、デジタルオーディオテープレコーダ1のビデオPLL回路3に加えて、高品位ビデオシステム14に入力される。この高品位ビデオシステム14から出力されるデジタルオーディオ信号S1が、デジタルオーディオテープレコーダ1のデジタル入出力回路(DIO)15に入力される。

【0021】この入力デジタルオーディオ信号S2はオーディオ信号処理回路16において、所定の信号処理が施されこれが記録オーディオ信号S3として録音処理回路17に入力される。このデジタル入出力回路(DIO)15、オーディオ信号処理回路16及び録音処理回路17は、システムクロック発生回路8から送出されるシステムクロックSCKに応じて動作する。

【0022】これによりF Sシフトスイッチ9を設定

5

し、システムクロック発生回路8から、サンプリング周波数48 [KHz] を- 0.1%シフトしてなる47.952 [KHz] のシステムクロックSCKを発生し、このシステムクロックSCKで各部を動作させ、この結果高品位ビデオシステム14のオーディオ信号S1を、デジタルオーディオテープレコーダ1にダビングし得るようになされている。

【0023】ここでこの実施例の場合、クロック発生回路7は図2に示すように構成されており、ワードPLL回路5で発生されたサンプリング周波数FSの384倍でなるワードクロックWCKが、1/1000分周回路20及び1/1001分周回路21を通じてそれぞれ1/1000及び1/1001に分周された後、セクタ22のa側及びb側を通じて*

$$X/1000 - Y/1000$$

の関係が成り立ち、これによりワードクロックWCKに同期したマスタクロックCKが出力される。

【0026】これに対して、FSシフトスイッチ9の設※

$$X/1001 - Y/1000$$

の関係が成り立ち、これを変形した次式

$$X:Y-1:1000/1001$$

から明かなように、NTSCカラーテレビジョン信号の基準周波数 29.97 [Hz] と、- 0.1%シフトとの関係が完全に一致するようなマスタクロックCKが出力される。

【0027】以上の構成によれば、FSシフトスイッチ9の設定に応じて、ワードクロックを1/1000分周した信号又は1/1001分周した信号と、電圧制御型発振回路24の発振出力を 1/2分周及び1/1000分周した信号とを位相比較し、この比較結果で電圧制御型発振回路24を制御するようにしたことにより、FSシフトスイッチ9の設定のみの容易な操作で、所定の出力クロック信号又は- 0.1%周波数をシフトした出力クロック信号を発生し得るクロック発生回路を実現できる。

【0028】なお上述の実施例においては、高品位ビデオシステムのオーディオ信号をデジタルオーディオテープレコーダにダビングする場合について述べたが、これに限らず、例えばサンプリング周波数FSとし48 [KHz] 及び44.1 [KHz] の2種類しか持たないデジタルオーディオテープレコーダを用いて、サンプリング周波数44.056 [KHz] あるいは47.952 [KHz] で記録するときにも適用し得、この場合もマスタクロックを- 0.1%シフトさせ、テープの回転速度も- 0.1%シフトさせて記録し、このようにして記録密度を一定に記録し得るようになされている。

【0029】またこのようにして記録されたテープにインサート記録する場合、サンプリング周波数は44.1 [KHz] 又は48 [KHz] なので、FSシフトを行なわないとサンプリング周波数44.1 [KHz] 又は48 [KHz] のまま記録されてしまう。そこでサンプリング周波数を44.056

6

*位相比較回路23の基準入力側に入力される。

【0024】一方位相比較回路23の比較入力側には、電圧制御型発振回路24で発振されたサンプリング周波数FSの768倍の出力が 1/2分周回路25で 1/2分周され、この結果得られるマスタクロック信号CKが1/1000分周回路26で1/1000に分周されて入力されている。

【0025】このような回路構成で、ワードPLL回路5から入力されるワードクロックWCKをX (384FS) とし、1/2分周回路25から出力されるマスタクロックCKをY (384FS) とすると、制御信号C1によつてセクタ22が1/1000分周回路20側を選択した場合には次式

【数3】

$$\text{---- (3)}$$

※定に応じた制御信号C1によつて、セクタ22が1/1001分周回路21側を選択した場合には次式

【数4】

$$\text{---- (4)}$$

20 【数5】

$$\text{---- (5)}$$

[KHz] 又は47.952 [KHz] に合わせるためには、テープ上のサンプリング周波数情報FSIDは44.1 [KHz] 又は48 [KHz] のままで、FSシフトを行うことでマスタクロックを- 0.1%シフトし、テープの回転速度も- 0.1%シフトに設定できる。

【0030】さらに上述の実施例においては、本発明をデジタルオーディオテープレコーダのクロック発生回路に適用したが、これに限らず、簡易な操作で所定のクロックに対して- 0.1%シフトしたクロックを必要とするクロック発生回路に広く適用して好適なものである。

【0031】

【発明の効果】上述のように本発明によれば、シフト設定手段の設定に応じて、入力クロック信号又は1000/1001分周してなる入力クロック信号と、電圧制御型発振手段で発振されるクロック信号との位相差で、電圧制御型発振手段を制御するようにしたことにより、シフト設定手段の設定のみの容易な操作で、所定の出力クロック信号又は- 0.1%周波数をシフトした出力クロック信号を発生し得るクロック発生回路を実現できる。

【図面の簡単な説明】

【図1】本発明によるクロック発生回路を適用したデジタルオーディオテープレコーダの一実施例を示すブロック図である。

【図2】本発明によるクロック発生回路の一実施例を示すブロック図である。

【符号の説明】

1……デジタルオーディオテープレコーダ、2……ビデオ信号発生器、3……ビデオPLL回路、4、6、22……セクタ、5……ワードPLL回路、7……クロ

7
ツク発生回路、8……システムクロック発生回路、9……FSシフトスイッチ、10……CPUインターフェース、11……システム制御回路、12……内部発振回路、13……外部ワード発生回路、14……高品位ビデオ発生回路、

8
オシステム、15……デジタル入出力回路、16……オーディオ信号処理回路、17……録音処理回路、20、21、25、26……分周回路、23……位相比較回路、24……電圧制御型発振回路。

【図1】

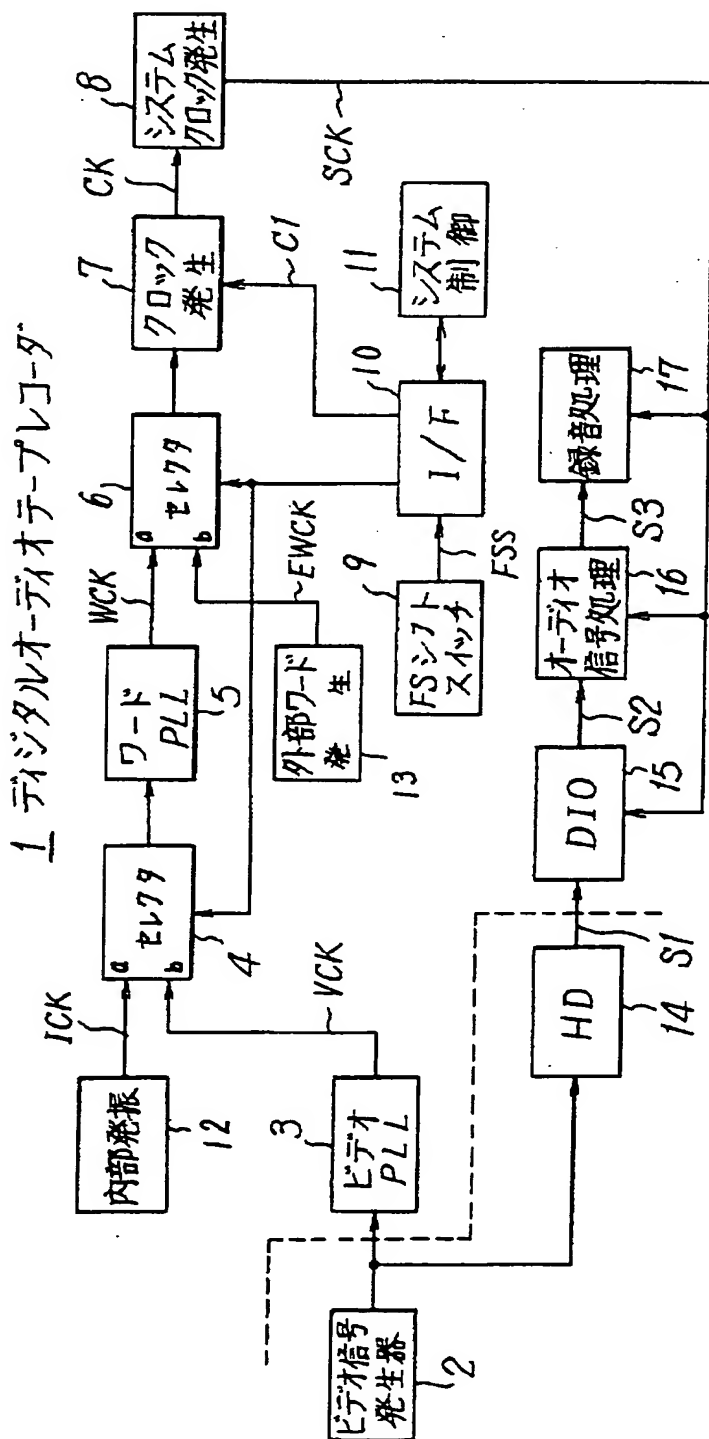


図1 デジタルオーディオテープレコーダの構成

【図2】

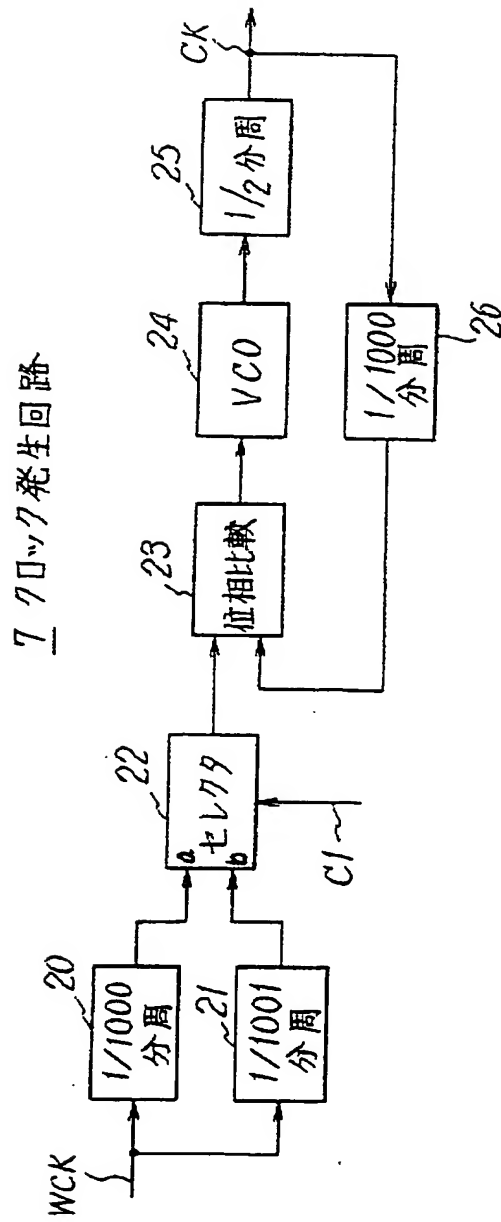


図2 実施例のクロック発生回路